

FLAT DISPLAY DEVICE

Publication number: WO0111598

Publication date: 2001-02-15

Inventor: HANARI JUN (JP)

Applicant: TOKYO SHIBAURA ELECTRIC CO (JP); HANARI JUN (JP)

Classification:

- international: **G09G3/36; G09G3/36; (IPC1-7): G09G3/36; G02F1/133; G09F9/30**

- european: **G09G3/36C14A**






Application number: WO2000JP05215 20000803

Priority number(s): JP19990222770 19990805

Also published as:

 **US6633284 (B)**

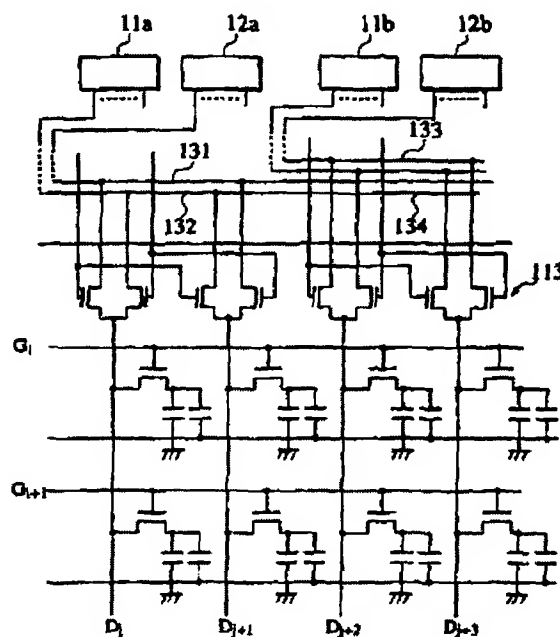
Cited documents:

 **JP11119736**
 **JP10274762**
 **JP1130131**
 **JP1174186**
 **JP3051887**

Report a data error he

Abstract of WO0111598

A flat display device has a screen divided into a plurality of blocks, each corresponding to a plurality of data line drive circuits. Each of the data line drive circuits is associated with a plurality of D/A (11a, 12a, 11b, 12b) converters, each of which is associated with a predetermined number of data lines (D_j , D_{j+1} , D_{j+2} , D_{j+3}, \dots).



Data supplied from the esp@cenet database - Worldwide

Family list**3** family members for:**US6633284**

Derived from 3 applications.

[Back to US](#)**1 Flat panel display**

Inventor: HANARI JUN (JP)

EC: G09G3/36C14A

Publication info: **TW225963B B** - 2005-01-01

Applicant: TOKYO SHIBAURA ELECTRIC CO (JP)

IPC: **G09G3/36; G09G3/36**; (IPC1-7): G02F1/33**2 Flat display device**

Inventor: HANARI JUN (JP)

EC: G09G3/36C14A

Publication info: **US6633284 B1** - 2003-10-14

Applicant: TOKYO SHIBAURA ELECTRIC CO (JP)

IPC: **G09G3/36; G09G3/36**; (IPC1-7): G09G3/36**3 FLAT DISPLAY DEVICE**

Inventor: HANARI JUN (JP)

EC: G09G3/36C14A

Publication info: **WO0111598 A1** - 2001-02-15Applicant: TOKYO SHIBAURA ELECTRIC CO (JP);
HANARI JUN (JP)IPC: **G09G3/36; G09G3/36**; (IPC1-7): G09G3/36
(+2)

Data supplied from the **esp@cenet** database - Worldwide

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 2 月 15 日 (15.02.2001)

PCT

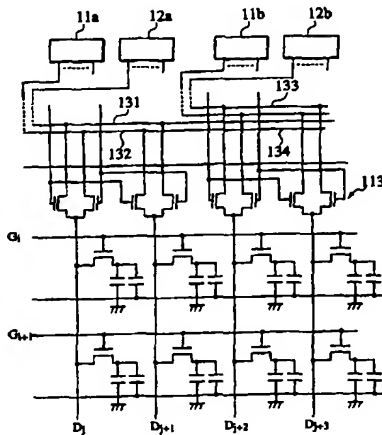
(10) 国際公開番号
WO 01/11598 A1

- (51) 国際特許分類⁷: G09G 3/36, G02F 1/133, G09F 9/30 210-0913 神奈川県川崎市幸区堀川町72番地 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP00/05215
- (22) 国際出願日: 2000 年 8 月 3 日 (03.08.2000)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願平11/222770 1999 年 8 月 5 日 (05.08.1999) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒 105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 羽成 淳 (HANARI, Jun) [JP/JP]; 〒 105-8001 東京都港区芝浦1丁目1番1号 株式会社 東芝 知的財産部内 Tokyo (JP).
- (74) 代理人: 三好秀和 (MIYOSHI, Hidekazu); 〒 105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 Tokyo (JP).
- (81) 指定国 (国内): JP, KR, US.
- 添付公開書類:
— 国際調査報告書

[続き有]

(54) Title: FLAT DISPLAY DEVICE

(54) 発明の名称: 平面表示装置



(57) Abstract: A flat display device has a screen divided into a plurality of blocks, each corresponding to a plurality of data line drive circuits. Each of the data line drive circuits is associated with a plurality of D/A (11a, 12a, 11b, 12b) converters, each of which is associated with a predetermined number of data lines (D_j , D_{j+1} , D_{j+2} , D_{j+3} ,...).

(57) 要約:

一画面を複数のブロックに分け、各ブロック毎に複数のデータ線駆動回路を配置した平面表示装置である。各データ線駆動回路毎に複数のD/Aコンバータが対応する構成において、各D/Aコンバータ(11a、12a、11b、12b)に接続されるデータ線(D_j 、 D_{j+1} 、 D_{j+2} 、 D_{j+3} ...)が、所定数毎に交互に配置されるように構成した。

WO 01/11598 A1

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

平面表示装置

技術分野

この発明は平面表示装置に関し、詳しくはアクティブマトリクス型液晶表示装置などの平面表示装置における駆動回路構成に関する。

背景技術

平面表示装置の中でも、光変調層として液晶層が用いられた液晶表示装置は、軽量、薄型、低消費電力の特性を生かして幅広い分野で利用されている。とりわけ、各画素毎にスイッチ素子を設けたアクティブマトリクス型液晶表示装置は、パソコンなどOA機器のディスプレイ装置として急激に普及しつつある。

これまでのアクティブマトリクス型液晶表示装置において、アレイ基板の画素スイッチ素子は、活性層にアモルファスシリコン（a-Si）が用いられた薄膜トランジスタ（TFT）で構成するものが多かった。しかし最近では、活性層にポリシリコン（p-Si）が用いられたTFTにて画素スイッチ素子を構成するものが市場に出回るようになってきている。

p-SiTFTは、a-SiTFTに比べて電子移動度が高く、TFTを小型化できるため、基板上の空き領域に駆動回路の一部を形成できるという利点がある。例えば、アレイ基板上には、ゲート線駆動回路のすべてとデータ線駆動回路のうちのシフトレジスタやアナログスイッチ素子などを形成し、外付けの回路基板（PCB）上には、データ線駆動回路のうちのD/Aコンバータや、各種制御信号を生成するコントロールICなどを形成する。

ところで、画面の高精細化に伴い、データ線駆動回路も、その処理速度の向上、データ書き込み速度の高速化が求められている。こ

れに対応する技術として、一水平走査期間に駆動すべき画素を幾つかの大ブロックに分割して、各大ブロック毎に同時にデータを伝送し、並列処理すると共に、各大ブロック中の幾つかのデータ線を小ブロックに分割し、この小ブロック毎に順次駆動する方法がある。これによれば、シフトレジスタ出力に基づくサンプリング時間を長くすることができる。

例えば、水平方向に1024画素の配列を持つような画面、すなわちXGA(1024×768)において、24本のデータ線に接続された8画素(RGBの3ドットで1画素)を一つの小ブロックとし、1/32水平走査期間で順次駆動することで、1水平走査期間に256画素を駆動することができる。この256画素は、画面の1/4(大ブロック)に相当するので、画面に対して4並列、すなわち $24 \times 4 = 96$ 本の映像信号を入力すればよいことになる。ここで、例えば1つの駆動ICが48本の信号を出力できるとすると、2つの駆動ICが必要となる。

この例のように、一画面を4つの大ブロックに分け、この4つの大ブロックを同時にサンプリングして出力するように構成した場合は、一画面を1つのシフトレジスタで順次サンプリングして出力する場合に比べて、シフトレジスタでのサンプリング時間を4倍長くすることが可能となるため、良好な表示画像を実現することができる。

ところで、今後、高精細化により画素数が増加した場合は、画面に同時に入力するデータ線数も増えることが予想される。この場合は、1つの大ブロックをさらに複数の駆動ICで駆動することが考えられる。しかし、同じ製品ロットの駆動ICであっても出力特性に微妙な差異があり、また駆動ICからの配線長にも差異がある。これらの理由により、駆動IC間の性能にはオフセットが生じる。そして、このオフセットがあるために、同じ大ブロック内でも、画面上に駆動IC毎の継ぎ目が現れるおそれがあった。

すなわち、隣り合う駆動 IC で同一レベルの信号電圧を出力していても、駆動 IC 毎のオフセットにより、液晶への印加電圧に差異が生じ、これにより画面上で濃淡のムラとなり、境界が認識されるという問題点があった。このことは、 $p-SiTFET$ により駆動 IC を基板内に一体的に形成した場合でも、駆動回路間のオフセットにより同様の問題が生じる。

この発明の目的は、1つの大ブロックを複数のデータ線駆動回路で駆動した場合でも、継ぎ目が目立たず良好な表示画像を得ることができる平面表示装置を提供することにある。

発明の開示

この発明の第1の特徴に係わる平面表示装置は、絶縁基板上にマトリクス状に配置された複数のデータ線及び複数の走査線と、前記データ線と走査線との交点近傍に配置された画素スイッチ素子と、前記画素スイッチ素子に接続された画素電極とを含むアレイ基板と、前記アレイ基板に対向する対向基板と、前記アレイ基板と前記対向基板との間に介在された光変調層とを含む表示パネルと、前記絶縁基板上に配置され、前記各データ線に対応するアナログ映像信号を供給するデータ線駆動回路と、前記走査線に走査信号を供給する走査線駆動回路とを備えている。そして、前記データ線駆動回路は、各水平走査期間毎に所定のデータ線に対応するデジタル映像信号をアナログ映像信号に順次変換する少なくとも第1及び第2のデジタル・アナログ変換回路を含み、前記第1のデジタル・アナログ変換回路に電氣的に接続される前記データ線と、前記第2のデジタル・アナログ変換回路に電氣的に接続される前記データ線とは、所定数毎に交互に配置されていることを特徴とする。

また、第1の特徴に係わる平面表示装置において、前記データ線駆動回路は、前記第1および第2のデジタル・アナログ変換回路のそれぞれに対応し、互いに並列動作するシフトレジスタを含むこ

とを特徴とする。

さらに、第 1 の特徴に係わる平面表示装置において、前記画素スイッチ素子、前記第 1 および第 2 のデジタル・アナログ変換回路、及び前記シフトレジスタのそれぞれは活性層がポリシリコンで構成された薄膜トランジスタを含むことを特徴とする。

この発明の第 2 の特徴に係わる平面表示装置は、絶縁基板上にマトリクス状に配置された複数のデータ線及び複数の走査線と、前記データ線と走査線との交点近傍に配置された画素スイッチ素子と、前記画素スイッチ素子に接続された画素電極とを含むアレイ基板と、前記アレイ基板に対向する対向基板と、前記アレイ基板と前記対向基板との間に介在された光変調層とを含む表示パネルと、前記絶縁基板上に配置され前記データ線に対応するアナログ映像信号を供給するデータ線駆動回路と、前記走査線に走査信号を供給する走査線駆動回路とを備えている。そして、前記データ線駆動回路は、前記絶縁基板上に配置される複数のビデオバス配線と、前記ビデオバス配線と対応する前記データ線とを電氣的に接続するスイッチ回路と、前記ビデオバス配線に電氣的に接続されデジタル映像信号をアナログ映像信号に順次変換する少なくとも第 1、第 2、第 3、及び第 4 のデジタル・アナログ変換回路 IC とを含み、前記第 1 のデジタル・アナログ変換回路に電氣的に接続される前記データ線、前記第 2 のデジタル・アナログ変換回路に電氣的に接続される前記データ線、前記第 3 のデジタル・アナログ変換回路に電氣的に接続される前記データ線とは、所定数毎に交互に配置されていることを特徴とする。

この発明の第 3 の特徴に係わる平面表示装置は、絶縁基板上にマトリクス状に配置された複数のデータ線及び複数の走査線と、前記データ線と走査線との交点近傍に配置された画素スイッチ素子と、前記画素スイッチ素子に接続された画素電極とを含むアレイ基板と、前記アレイ基板に対向する対向基板と、前記アレイ基板と前記対

向基板との間に介在された光変調層とを含む表示パネルと、前記絶縁基板上に配置され前記データ線に対応するアナログ映像信号を供給するデータ線駆動回路と、前記走査線に走査信号を供給する走査線駆動回路とを備えている。そして、前記データ線駆動回路は、前記絶縁基板上に配置される複数のビデオバス配線と、前記ビデオバス配線と対応する前記データ線とを電氣的に接続するスイッチ回路と、前記ビデオバス配線に電氣的に接続されデジタル映像信号をアナログ映像信号に順次変換する少なくとも第 1、第 2、第 3、及び第 4 のデジタル・アナログ変換回路 IC とを含み、前記第 1 のデジタル・アナログ変換回路に電氣的に接続される前記データ線、前記第 2 のデジタル・アナログ変換回路に電氣的に接続される前記データ線、前記第 3 のデジタル・アナログ変換回路に電氣的に接続される前記データ線とは、及び前記第 4 のデジタル・アナログ変換回路に電氣的に接続される前記データ線とは、所定数毎に交互に配置されていることを特徴とする。

また、第 3 の特徴に係わる平面表示装置において、前記第 1 及び第 2 のデジタル・アナログ変換回路 IC は基準電圧に対して正極性のアナログ映像信号を、前記第 3 及び第 4 のデジタル・アナログ変換回路 IC は基準電圧に対して負極性のアナログ映像信号をそれぞれ出力することを特徴とする。

前記スイッチ回路は、前記ビデオバス配線と対応する前記データ線との関係を所定期間毎に切り替えることを特徴とする。

さらに、第 3 の特徴に係わる平面表示装置において、前記画素スイッチ素子、及び前記スイッチ回路は、活性層がポリシリコンで構成された薄膜トランジスタを含むことを特徴とする。

また、第 3 の特徴に係わる平面表示装置において、前記第 1 乃至第 4 のデジタル・アナログ変換回路 IC は、外部駆動回路基板上に形成されていることを特徴とする。

上記第 1 乃至第 3 の特徴に係わる平面表示装置においては、一画

面の中で分割された１つの大ブロックを複数のデータ線駆動回路で駆動する場合に、隣接する信号線を、それぞれ異なるデータ線駆動回路に接続するようにしたものである。これにより、データ線駆動回路毎の出力ばらつき、すなわち駆動ＩＣのばらつきは、画面全体に分散されることになる。したがって、画面上に駆動ＩＣ毎の継ぎ目が現れることがなく、良好な表示画像を得ることができる。

図面の簡単な説明

図１は、液晶画素、ビデオバス配線及びＤ／Ａコンバータの接続関係を示す概念図である。

図２は、図１の他の実施形態を示す概念図である。

図３は、図２の他の実施形態を示す概念図である。

図４は、図２のさらに他の実施形態を示す概念図である。

図５は、実施形態に係わる液晶表示装置の全体の構成を示すブロック図である。

図６は、液晶パネルの回路構成図である。

図７は、駆動回路基板の回路構成図である。

図８は、実施形態に係わる液晶パネルの駆動方法を説明するための配線図である。

図９は、図６に示す領域Ｌ１の部分拡大図である。

図１０は、データ線駆動回路の部分回路図である。

図１１は、コントロールＩＣで並び替えられた映像信号のデータ配列を示す説明図である。

発明を実施するための最良の形態

以下、この発明に係わる平面表示装置を液晶表示装置に適用した場合の実施形態について説明する。

この実施形態に示す液晶表示装置は、アクティブマトリクス型の液晶パネルを備えている。この液晶パネルは、 $p-Si TFT$ を用

いることにより駆動回路が内蔵されている。

図 5 は、この実施形態に係わる液晶表示装置の全体の構成を示すブロック図である。この液晶表示装置 100 は、駆動回路の一部が内蔵された液晶パネル 101 と、この液晶パネル 101 にアナログ映像信号を供給する駆動回路基板 (PCB) 102 と、これらを電氣的に接続するフレキシブル配線基板 (FPC) 106 とから構成されている。

図 6 は、液晶パネル 101 の回路構成図である。液晶パネル 101 は、アクティブマトリクス部 1 と、このアクティブマトリクス部 1 を駆動するゲート線駆動回路 2 及びデータ線駆動回路 3 を備えている。ゲート線駆動回路 2 は、構成要素のすべてが液晶パネル 101 側に形成されている。データ線駆動回路 3 は、構成要素の一部が液晶パネル 101 側に形成されている。データ線駆動回路 3 の構成については後に説明する。

コモン回路 (対向電極駆動回路) 4 は、図 5 に示すように駆動回路基板 102 側に配置される回路である。ここでは説明を容易にするために図 6 に示している。

アクティブマトリクス部 1 は、マトリクス状に配置された複数の液晶画素 5 を備えている。それぞれの液晶画素 5 は、対向電極 7、画素電極 8 及びこれら電極間に保持される液晶層 9 から構成されている。各画素電極 8 への映像信号の供給はスイッチ素子としての TFT 6 により制御されている。各 TFT 6 のゲートは、行毎に共通にゲート線 (走査線) G1、G2・・・Gn に接続され、ドレインは列毎にデータ線 D1、D2・・・Dm に接続されている。ソースは画素電極 8 に接続されている。また、すべての液晶画素 5 に対応する対向電極 7 は共通にコモン回路 4 に接続されている。

ゲート線駆動回路 2 は、図示しないシフトレジスタ及びバッファを含む回路で構成されている。ゲート線駆動回路 2 は、垂直同期信号 STV 及び垂直クロック信号 CKV に基づいて各ゲート線 G1、

G 2 . . . G n にアドレス信号を供給する。ゲート線駆動回路 2 は、すべて絶縁性基板 1 4 上に形成されている。

データ線駆動回路 3 は、アナログ映像信号をデータ線 D 1、D 2 . . . D m に供給するため、所定のタイミングで順次サンプリングを行うサンプルホールド回路と、このサンプルホールド回路の動作タイミングを制御するシフトレジスタと、後述する極性反転駆動のためのスイッチ回路と、このスイッチ回路にアナログ映像信号を供給するためのビデオバス配線と、外部から入力されるデジタル映像信号をアナログ映像信号に変換し、ビデオバス配線に順次出力する正極性／負極性 D/A コンバータとで構成されている。また液晶表示装置 1 0 0 はコントロール IC を含み、このコントロール IC からデータ線駆動回路 3 には、水平同期信号 S T H、水平クロック信号 C K H 及びデジタル映像信号が供給される。

この実施形態のデータ線駆動回路 3 を構成するサンプルホールド回路、シフトレジスタ及びビデオバス配線は絶縁性基板 1 4 上に一体的に形成されている。また、正極性／負極性 D/A コンバータは、図 5 に示すように IC チップとして駆動回路基板 1 0 2 上に搭載されている。この実施形態では、正極性／負極性 D/A コンバータを駆動回路基板 1 0 2 上に搭載したが、絶縁基板 1 4 上に搭載してもかまわない。

図 5 に示す駆動回路基板 1 0 2 は、コントロール IC 1 0 3、正極性 D/A コンバータ 1 1 a、1 1 b、負極性 D/A コンバータ 1 2 a、1 2 b 及びコモン回路 4 を備えている。そして、駆動回路基板 1 0 2 と図示しないパーソナルコンピュータのプロセッサとの間は F P C 1 0 7 により接続されている。

なお、データ線駆動回路 3 のうちのサンプルホールド回路、シフトレジスタ及びビデオバス配線は、後述するように内部的に 4 並列化されている。また、絶縁性基板 1 4 上に形成される T F T 6、ゲート線駆動回路 2 と、データ線駆動回路 3 の一部は p-S i T F T

で構成されている。

図 7 は、駆動回路基板 102 の回路構成図である。コントロール IC 103 には、図示しないパーソナルコンピュータのプロセッサからデジタル映像信号、基準クロック信号及び図示しない複合同期信号が供給される。デジタル映像信号としては、各水平走査期間毎に R、G、B の各色でそれぞれ 3072 ドット、すなわち 1024 画素分のデータが順次供給される。

コントロール IC 103 は、並べ替え回路 15、選択出力回路 16 及び制御信号生成部 17 を備えている。並べ替え回路 15 は、外部プロセッサから供給されるデジタルの映像信号を後述する極性反転駆動のために並べ替える回路であり、図示しない 2 ラインメモリを含んでいる。選択出力回路 16 は、それぞれの映像信号のフレーム毎の極性に応じて、正極性又は負極性 D/A コンバータへ振り分けて出力する。制御信号生成部 17 は、図示しない外部プロセッサからデジタルの映像信号とともに供給される基準クロック信号及び図示せぬ複合同期信号に基づいて、極性反転信号 (Vpol) やクロック信号などの各種制御信号を生成して出力する。

正極性 D/A コンバータ 11a、11b 及び負極性 D/A コンバータ 12a、12b は、コントロール IC 103 から供給されたデジタル映像信号をアナログに変換して液晶パネル 101 の図示しないビデオバス配線へ供給する。

この実施形態に係わる液晶パネル 101 では、後述するように表示画面がデータ線に沿って 4 つの領域 (大ブロック) に分割されており、各領域ごとに正負 24 本の映像信号が並列に供給されるように構成されている。正極性 D/A コンバータ 11a、11b からは、4 つの領域へそれぞれ正極性の映像信号が 12 本ずつ、合計 48 本出力される。負極性 D/A コンバータ 12a、12b からは、4 つの領域へそれぞれ負極性の映像信号が 12 本ずつ、合計 48 本出力される。

図 7 に示す正極性 D/A コンバータ 11 a、11 b の内部には、図示しない正極性用の D/A コンバータ部がそれぞれ 24 個配置されている。また、負極性 D/A コンバータ 12 a、12 b の内部には、図示しない負極性用の D/A コンバータがそれぞれ 24 個配置されている。

正極性 D/A コンバータ 11 a、11 b 及び負極性 D/A コンバータ 12 a、12 b と、ビデオバス配線との接続関係については、後に詳細に説明する。

ここで、上記のようなアクティブマトリクス型の液晶表示装置における液晶パネルの極性反転駆動について説明する。

一般的な液晶表示装置においては、液晶層の特性劣化を防ぐために、1 フレーム毎に液晶パネルの画素/対向電極間に印加する電位差の極性を反転させている。このような極性反転駆動の方法としては、例えば隣接する垂直画素ライン毎（列毎）に画素/対向電極間に印加する電位差の極性を反転させる V（垂直）ライン反転駆動法や、隣接する画素毎に画素/対向電極間に印加する電位差の極性を反転させる H/V（水平/垂直）ライン反転駆動法などが知られている。

ところで、液晶を駆動するためには、通常 ± 5 V 程度の電圧が必要とされている。したがって、上記のような反転駆動方法を実施するには、駆動回路の出力として 10 V の耐圧が必要となり、消費電力の軽減は困難であった。そこで、消費電力の軽減を目的とした液晶表示装置が提案されている。

例えば、特願平 9-186151 号公報には、外部から入力されるシリアルなデジタル映像信号を直並列変換した後にアナログ信号に変換する複数の D/A 変換回路と、各々の D/A 変換回路に接続された増幅器とを備え、隣接する D/A 変換回路に接続される増幅器を互いに逆極性の電源電圧に接続するとともに、それぞれの増幅器に一对のスイッチペアを接続し、このスイッチペアを構成するス

イチを各々データデータ線に接続した表示装置が開示されている。この構成によれば、駆動回路を単一極性の耐圧で動作させることができるので、消費電力を軽減することができる。また、隣接するデータ線で表示信号バスを共用できるため、表示信号バスの本数を減らすことができ、回路規模を小さくすることができる。

この特願平 9 - 1 8 6 1 5 1 号公報に開示された表示装置では、あるフレーム期間においては、奇数番目の D / A 変換回路は奇数番目のデータ線を駆動し、偶数番目の D / A 変換回路は偶数番目のデータ線を駆動する。そして、次のフレーム期間においては、奇数番目の D / A 変換回路は偶数番目のデータ線を駆動し、偶数番目の D / A 変換回路は奇数番目のデータ線を駆動する。このような極性反転駆動を可能とするために、あらかじめ外部に配置されたメモリにより、フレームに応じて映像信号の並び替えを行うようにしている。以下に説明する液晶パネル 1 0 1 の駆動方法においても、上記特願平 9 - 1 8 6 1 5 1 号の表示装置と同様に極性反転駆動を行っており、映像信号の並び替えを行っている。

次に、この実施形態に係わる液晶パネル 1 0 1 の基本的な駆動方法について説明する。

図 8 は、この実施形態に係わる液晶パネル 1 0 1 の駆動方法を説明するための配線図であり、おもにデータ線とこれに接続する内部配線（ビデオバス配線）の関係を示している。

この実施形態に係わる液晶パネル 1 0 1 では、アクティブマトリクス部 1 により構成される表示画面をデータ線に沿って 4 分割している。図 8 の L 1、L 2、R 1、R 2 は、分割されたそれぞれの領域を示している。各領域に供給される映像信号は、画面を 4 分割する 3 つのラインのうち、左右の 2 ライン（ライン L、ライン R）を中心として、それぞれ矢印方向に向かって一斉に走査される。これは、分割の境界での不連続性を解消するためである。

このような走査を行うため、データ線駆動回路 3（図 6）は電気

的に4並列化されている。すなわち、データ線駆動回路3を構成するシフトレジスタ、サンプルホールド回路などの回路群は4分割され、それぞれの領域ごとに独立して設けられている。この例のように、4つの領域で同時にサンプリングして出力するように構成した場合は、一画面を1つのシフトレジスタで順次サンプリングして出力する場合に比べて、シフトレジスタでのサンプリング時間を4倍長くすることが可能となり、良好な表示画像が実現できる。

図8のCN-L、CN-Rには、駆動回路基板102（図5）からアナログの映像信号が供給される。CN-L、CN-Rには、各領域に供給される24本分の映像信号が入力される。すなわち、CN-Lには領域L1、L2にそれぞれ供給される48本（24本×2）の映像信号が入力され、CN-Rには領域R1、R2にそれぞれ供給される48本（24本×2）の映像信号が入力される。

液晶パネル101に入力された映像信号は、各領域ごとに配線された24本のビデオバス配線（例えば、L1P1、L1N1・・・L1N12）を通じて、後述するスイッチ回路（113）へ出力される。ビデオバス配線は、正極性の映像信号が供給されるラインと、負極性の映像信号が供給されるラインが交互に配列されている。図8に示すビデオバス配線では、正極性のラインには“P”を、負極性のラインには“N”をそれぞれ付している。例えば、ビデオバス配線L1P1は正極性のライン、L1N1は負極性のラインを示している。

図9は、図8に示す領域L1の部分拡大図である。一つの領域は内部がさらに32個のブロック（小ブロック）に分けられている。そして、1つのブロックではR、G、Bの各色がそれぞれ8個ずつ振り分けられている。

例えば、ブロック1にはR1・・・R8、G1・・・G8、B1・・・B8が、ブロック2にはR9・・・R16、G9・・・G16、B9・・・B16が、それぞれ振り分けられている。またプロ

ック 3 2 には R 2 4 9 . . . R 2 5 6、G 2 4 9 . . . G 2 5 6、
B 2 4 9 . . . B 2 5 6 が振り分けられている。

このように、各ブロックでは R、G、B の各色ごとにそれぞれ 8 個の振り分けがあり、1 ブロックでは合計で 24 本分の映像信号が同時にサンプリングされる。さらに、図 9 に示すように、一つのブロックを一単位として 32 ブロックを順番にサンプリングすることにより、各領域で映像信号がサンプリングされて出力される。

例えば、図 9 のブロック 32 からブロック 1 の順にサンプリングが行われることにより、図 8 の領域 L1 では B 2 5 6 から R 1 へ向かって映像信号が順次サンプリングされて出力される。他の領域でも同様のサンプリングが行われる。このように、一つの領域では 24×32 で 768 画素のサンプリングが行われることになるため、4 つの領域の合計では各水平走査期間で 3072 個の画素に対応するサンプリングが達成される。このようなサンプリング出力を走査線の数だけ繰り返すことにより、1 フレーム分の映像信号が各画素に順次書込まれる。

この実施形態に係わる液晶パネル 101 の駆動方法では、V ライン反転駆動法を用いている。すなわち、各々のフレーム期間中に、データ線駆動回路 3 は隣接するデータ線の電位が互いに基準電圧に対して逆極性となるようにデータ線を駆動し、かつ各々のデータ線の電位はフレーム周期で極性反転される。ただし、液晶パネル 101 の駆動方法は、V ライン反転駆動法に限らず、例えば H ライン反転駆動法や H/V 反転駆動法を適用することもできる。

図 10 は、データ線駆動回路 3 の部分回路図であり、図 8 の領域 L1 に対応する部分の回路構成を示している。この実施形態のデータ線駆動回路 3 は、4 分割された領域に対応して 4 並列化されている。図 10 は、分割された一つの回路構成を示している。

データ線駆動回路 3 は、シフトレジスタ 111 と、このシフトレジスタ 111 からの出力 Q に基づいてアナログの映像信号をサンプ

リングするサンプルホールド回路 112 とを備えている。これらの回路は、駆動回路基板 102 (図 5) から供給されたアナログの映像信号を水平クロック信号 CKH に同期して順次サンプリングして各データ線に書き込むように構成されている。

シフトレジスタ 111 の出力 Q は、奇数番目の信号切り替え回路 112 a、偶数番目の信号切り替え回路 112 b に入力される。またビデオバス配線 125 には、正極性の R、G、B のアナログ信号が入力され、ビデオバス配線 126 には、負極性の R、G、B のアナログ信号が入力される。

スイッチ回路 113 のそれぞれは、一对の複数の Pch トランジスタ及び Nch トランジスタから構成されている。正極性のビデオバス配線 125 は Pch トランジスタ 114、115 を介してデータ線 D_{m-n} 、 $D_{m-(n-1)}$ に接続されている。一方、負極性のビデオバス配線 126 は Nch トランジスタ 116、117 を介してデータ線 D_{m-n} 、 $D_{m-(n-1)}$ に接続されている。

Pch トランジスタ 114 のゲートは OR ゲート 118 の出力端子に接続され、Nch トランジスタ 116 のゲートは AND ゲート 119 の出力端に接続されている。また、Pch トランジスタ 115 のゲートは NAND ゲート 120 の出力端に接続され、Nch トランジスタ 117 のゲートは NOR ゲート 121 の出力端に接続されている。

OR ゲート 118、AND ゲート 119、NAND ゲート 120、NOR ゲート 121 には、極性反転信号 Vpol が入力される。また、AND ゲート 119 と NAND ゲート 120 は、シフトレジスタ 111 の出力 Q に接続されている。OR ゲート 118 には、シフトレジスタ 111 からの出力 Q がインバータ 122 を介して接続され、NOR ゲート 121 には、シフトレジスタ 111 からの出力 Q がインバータ 123 を介して接続されている。シフトレジスタ 111 は、水平クロック信号 CKH に同期して、水平同期信号 STH

を順次シフトするように構成されている。シフトレジスタ 111 からの出力 Q は水平同期信号 STH に基づいて出力される。

次に、図 10 に示す回路の動作について説明する。ここでは、隣接する一对のデータ線 D_{m-n} 及び $D_{m-(n-1)}$ と、それに接続するスイッチ回路 113、信号切り替え回路 112a 及び 109 の動作について説明する。また、信号切り替え回路 112a、112b に供給される極性反転信号 V_{pol} は Low レベルが正極性を、High レベルが負極性をそれぞれ示すものとする。さらに、極性反転信号 V_{pol} はフレーム毎に切り替えられるものとする。

極性反転信号 V_{pol} が Low レベルの場合、OR ゲート 118 はシフトレジスタ 111 からの出力 Q を通過させる状態となり、AND ゲート 119 の出力は Low レベルとなる。また、NAND ゲート 120 の出力は High レベルとなり、NOR ゲート 121 は出力 Q を反転して通過させる状態となる。したがって、Pch トランジスタ 114 はシフトレジスタ 111 からの出力 Q によって導通状態となり、Nch トランジスタ 116 及び Pch トランジスタ 115 は非導通状態となる。また、Nch トランジスタ 117 は、シフトレジスタ 111 からの出力 Q によって導通状態となる。その結果、データ線 D_{m-n} には、シフトレジスタ 111 からの出力 Q に基づいて正極性の映像信号が書き込まれる。一方、データ線 $D_{m-(n-1)}$ には、シフトレジスタ 111 からの出力 Q に基づいて負極性の映像信号が書き込まれる。

極性反転信号 V_{pol} が High レベルの場合、OR ゲート 118 は High レベルとなり、AND ゲート 119 は出力 Q を通過させる状態となる。また、NAND ゲート 120 は出力 Q を反転して通過させる状態となり、NOR ゲート 121 の出力は Low レベルとなる。したがって、Pch トランジスタ 114 は非導通状態となり、Nch トランジスタ 116 はシフトレジスタ 111 からの出力 Q によって導通状態となる。また、Pch トランジスタ 115 はシ

フトレジスタ 111 からの出力 Q によって導通状態となり、Nch トランジスタ 117 は非導通状態となる。その結果、データ線 D_{m-n} には、シフトレジスタ 111 からの出力 Q に基づいて負極性の映像信号が書き込まれる。一方、データ線 $D_{m-(n-1)}$ には、シフトレジスタ 111 からの出力 Q に基づいて正極性の映像信号が書き込まれる。

以上の動作がフレーム毎に繰り返されることにより、隣接するデータ線 D_{m-n} 、 $D_{m-(n-1)}$ には、正極性の映像信号と負極性の映像信号が交互に書き込まれる。他のデータ線についても、同じように隣接するデータ線には正極性の映像信号と負極性の映像信号が交互に書き込まれる。また、上記の回路構成においては、ビデオバス配線 125 には正極性の映像信号のみが出力され、ビデオバス配線 126 には負極性の映像信号のみが出力される。これによると、サンプルホールド回路 112 の各ゲート素子を単極性の耐圧で動作させることができるので、消費電力を軽減することができる。

図 11 は、コントロール IC 103 (図 7) で並び替えられた映像信号のデータ配列を示す説明図である。図中右側は、プロセッサから供給された 1 ライン分の映像信号を、領域 L1、L2、R1、R2 の 1 ~ 32 ブロックごとに並び替えた場合のデータ列を示している。また、図中左側は極性反転信号の極性 (Pol) とその時の各ビデオバス配線への振り分けのルールを示している。Pol = 0 (Low レベル) は極性反転信号が正極性の時の振り分けを、また Pol = 1 (High レベル) は極性反転信号が負極性の時の振り分けを示している。

領域 L1 のブロック 1 を例としてデータの振り分けを説明する。極性反転信号が Pol = 0 である場合、ブロック 1 のビデオバス配線 L1P1 には "R249" が、L1N1 には "G249" がそれぞれ供給される。"R249" の映像信号は、図 10 の Pch トランジスタ 114 を通過してデータ線 D_{m-n} に書き込まれ、"G2

49”の映像信号は、図10のNchトランジスタ117を通過してデータ線 $D_{m-(n-1)}$ に書き込まれる。一方、極性反転信号が $P_{ol}=1$ である場合、ブロック1のビデオバス配線 L_{1P1} には“G249”が、 L_{1N1} には“R249”がそれぞれ供給される。“G249”の映像信号は、図10のPchトランジスタ115を通過してデータ線 $D_{m-(n-1)}$ に書き込まれ、“R249”の映像信号は、図10のNchトランジスタ116を通過してデータ線 D_{m-n} に書き込まれる。

図11に示すようなデータの並べ替えを行うことにより、図10のビデオバス配線125には常に正極性の映像信号のみが出力され、ビデオバス配線126には常に負極性の映像信号のみが出力されることとなる。すなわち、隣接するデータ線 D_{m-n} 、 $D_{m-(n-1)}$ では、フレーム周期で映像信号の極性が反転されるが、各ビデオバス配線には、常に同極性の映像信号が出力される。

次に、上記のように構成された液晶パネル101の駆動回路における特徴的な構成について説明する。

図1は、これまでに説明してきた液晶画素、ビデオバス配線及びD/Aコンバータの接続関係を示す概念図であり、 G_i 番目と G_i+1 番目のゲート線、及び D_j 番目から D_j+3 番目までのデータ線を示している。ただし、D/Aコンバータへ映像信号が入力されるまでの回路と、絶縁性基板上に形成した回路部分は図示していない。また、サンプルホールド回路などの他の回路関係についても図示を省略している。

図1に示すように、データ線 D_j 、 D_{j+1} 、 $D_{j+2} \dots$ のうち、データ線 D_j 、 D_{j+1} は、正極性D/Aコンバータ11a、負極性D/Aコンバータ12aとつながるビデオバス配線131、132に接続され、データ線 D_{j+2} 、 D_{j+3} は正極性D/Aコンバータ11bと負極性D/Aコンバータ12bとつながるビデオバス配線133、134に接続されている。そして、この実施形

態のように4個のD/Aコンバータを使用した場合、図示しない次の2本のデータ線($D_j + 4$ 、 $D_j + 5$)はビデオバス配線131、132と接続され、さらに次の2本のデータ線($D_j + 6$ 、 $D_j + 7$)はビデオバス配線133、134と接続される。すなわち、隣接する2本のデータ線と正負の映像信号を供給する2本のビデオバス配線を正負の一組とし、これらの組みが交互に配置されるように構成されている。

上記構成において、隣接するデータ線に正極性と負極性の映像信号がそれぞれ交互に書き込まれる場合について見てみると、正極性の映像信号が書き込まれるデータ線には、正極性D/Aコンバータ11aと正極性D/Aコンバータ11bからの出力が1本おきに書き込まれ、また負極性の映像信号が書き込まれるデータ線には、負極性D/Aコンバータ12aと負極性D/Aコンバータ12bからの出力が1本おきに書き込まれる。

したがって、正極性D/Aコンバータ11aと11b、又は負極性D/Aコンバータ12aと12bにおいて、出力ばらつき等があっても、画面上での濃淡のムラはデータ線一本おきとなり、画面全体に分散されて認識されにくくなる。このため、単一階調表示をした場合でも、濃淡のムラが継ぎ目として認識されることがなくなり、良好な表示画像を得ることができる。

この実施形態では、説明を簡略にするため、4個のD/Aコンバータを使用した場合について説明したが、さらに多数のD/Aコンバータを使用した場合でも同様の接続を行うことができる。

図2は、他の実施形態を示すもので、図1と同じく液晶画素、ビデオバス配線及びD/Aコンバータの接続関係を示す概念図である。図2においても、 G_i 番目と $G_i + 1$ 番目のゲート線、及び D_j 番目から $D_j + 3$ 番目までのデータ線を示している。また、D/Aコンバータへ映像信号が入力されるまでの回路と、絶縁性基板上に形成した回路部分は図示していない。さらに、他の回路関係につい

ても図示を省略している。

図 2 に示す D/A コンバータ 21、22 は、それぞれ正極性と負極性の映像信号を供給できるように構成されており、フレーム毎に映像信号の極性を反転させて出力している。データ線 D_j 、 D_{j+1} 、 $D_{j+2} \dots$ のうち、データ線 D_j 、 D_{j+2} は D/A コンバータ 21 とつながるビデオバス配線 135、136 に接続され、データ線 D_{j+1} 、 D_{j+3} は D/A コンバータ 22 とつながるビデオバス配線 137、138 に接続されている。すなわち、データ線 D_j が偶数番目にあるとすると、 D_j 、 D_{j+2} 、 $D_{j+4} \dots$ のような偶数番目にあるデータ線は D/A コンバータ 21 と接続され、 D_{j+1} 、 $D_{j+3} \dots$ のような奇数番目にあるデータ線は D/A コンバータ 22 と接続される。そして、あるフレームで画素 (D_j 、 G_i) に対し D/A コンバータ 21 が正極性で書き込みを行い、画素 (D_{j+1} 、 G_i) に対し D/A コンバータ 22 が負極性で書き込みを行ったとすると、次のフレームでは、画素 (D_j 、 G_i) に対し D/A コンバータ 21 が負極性で書き込みを行い、画素 (D_{j+1} 、 G_i) に対し D/A コンバータ 22 が正極性で書き込みを行うという動作が繰り返される。

上記構成によると、あるフレームにおいて、正極性の映像信号が書き込まれるデータ線には、D/A コンバータ 21 からの出力が 1 本おきに書き込まれ、また負極性の映像信号が書き込まれるデータ線には、D/A コンバータ 22 からの出力が 1 本おきに書き込まれる。また次のフレームにおいて、正極性の映像信号が書き込まれるデータ線には、D/A コンバータ 22 からの出力が 1 本おきに書き込まれ、また負極性の映像信号が書き込まれるデータ線には、D/A コンバータ 21 からの出力が 1 本おきに書き込まれる。

したがって、D/A コンバータ 21 と 22 において、それぞれ出力ばらつき等があっても、画面上での濃淡のムラはデータ線一本おきとなり、画面全体に分散されて認識されにくくなる。このため、

単一階調表示をした場合でも、濃淡のムラが継ぎ目として認識されることがなくなり、良好な表示画像を得ることができる。

なお、上述した実施形態のデータ線駆動回路 3 では、サンプルホールド回路、シフトレジスタ及びビデオバス配線を絶縁性基板 1 4 上に形成した例について示したが、D/Aコンバータ（1 1、1 2、2 1、2 2）やこのD/Aコンバータの前段に配置される図示しないシフトレジスタを絶縁性基板 1 4 上に形成した構成としてもよい。さらには、コントロール IC 1 0 3 を含めて絶縁性基板 1 4 上に形成した構成としてもよい。

また、この実施形態においては、正極性と負極性の映像信号を供給できるように構成されたD/Aコンバータを2個使用した場合について説明したが、同様の機能を備えたD/Aコンバータをさらに多数使用した場合でも同様に接続することができる。

ここで、正極性と負極性の映像信号を供給できるD/Aコンバータを用いた他の実施形態について説明する。

図 3 は、図 2 の他の実施形態を示す概念図である。図 3 では、おもにデータ線駆動回路 3 の回路構成について示している。また、図 2 と同等部分は同一符号で表している。

図 3 に示すデータ線駆動回路 3 には、正極性と負極性の映像信号を供給できる4つのD/Aコンバータ 3 2 - 1、3 2 - 2、3 2 - 3、3 2 - 4 が配置されている。これらのD/Aコンバータへは、コントロール IC 1 0 3 からシフトレジスタ 3 1 - 1、3 1 - 2、3 1 - 3、3 1 - 4 を介してデジタル映像信号が並列に供給されている。D/Aコンバータ 3 2 - 1、3 2 - 2、3 2 - 3、3 2 - 4 とデータ線 D 1、D 2、D 3・・・は、ビデオバス配線 3 3 とデータ線の駆動用アンプ 3 4 を介して接続されている。

図 3 に示す回路構成では、D/Aコンバータ 3 2 - 1 はデータ線 D 1、D 5、D 9・・・に接続され、D/Aコンバータ 3 2 - 2 はデータ線 D 2、D 6、D 10・・・に接続され、順次アナログ映像

信号を出力するように構成されている。また、D/Aコンバータ32-3はデータ線D3、D7、D11・・・に接続され、D/Aコンバータ32-3はデータ線D4、D8、D12・・・に接続され、順次アナログ映像信号を出力するように構成されている。

この実施形態において、シフトレジスタ31-1、31-2、31-3、31-4、D/Aコンバータ32-1、32-2、32-3、32-4、ビデオバス配線33及び駆動用アンプ34は絶縁性基板14上に一体的に形成されている。ただし、コントロールIC103は駆動回路基板102上に形成されている。

上記構成によれば、隣接するデータ線は、互いに異なるD/Aコンバータに接続されている。ここで、奇数番目のデータ線には正極性の映像信号が書き込まれ、偶数番目のデータ線には負極性の映像信号が書き込まれるとすると、正極性の映像信号が書き込まれる奇数番目のデータ線にはD/Aコンバータ32-1と32-3からの出力がそれぞれ1本おきに書き込まれ、負極性の映像信号が書き込まれる偶数番目のデータ線にはD/Aコンバータ32-2と32-4からの出力がそれぞれ1本おきに書き込まれることになる。

したがって、D/Aコンバータ32-1、32-2、32-3、32-4において、それぞれ出力ばらつきがっても、画面上での濃淡のムラはデータ線一本おきとなり、画面全体に分散されて認識されにくくなる。このため、単一階調表示をした場合でも、濃淡のムラが継ぎ目として認識されることがなくなり、良好な表示画像を得ることができる。

なお、上述した実施形態のデータ線駆動回路3では、シフトレジスタ31～、D/Aコンバータ32～、ビデオバス配線33及び駆動用アンプ34を絶縁性基板14上に一体的に形成した例について示したが、コントロールIC103を含めて絶縁性基板14上に一体的に形成した構成としてもよい。また、データ線駆動回路3のうちのビデオバス配線33と駆動用アンプ34のみを絶縁性基板14

上に形成し、その他を駆動回路基板 102 上に形成した構成としてもよい。さらにはビデオバス配線 33、駆動用アンプ 34 及び D/A コンバータ 32～を絶縁性基板 14 上に形成し、その他を駆動回路基板 102 上に形成した構成としてもよい。

この実施形態では、説明を簡略化するために、4 個の D/A コンバータを使用した場合について説明したが、さらに多数の D/A コンバータを使用した場合でも同様の接続を行うことができる。

続いて、正極性と負極性の映像信号を供給できる D/A コンバータを用いたさらに他の実施形態について説明する。

図 4 は、図 2 のさらに他の実施形態を示す概念図である。図 4 では、おもにデータ線駆動回路 3 の回路構成について示している。また、図 2 と同等部分は同一符号で表している。

図 4 に示すデータ線駆動回路 3 には、正極性と負極性の映像信号を供給できる 4 つの D/A コンバータ 42-1、42-2、42-3、42-4 が配置されている。これらの D/A コンバータへは、コントロール IC 103 からシフトレジスタ 41-1、41-2、41-3、41-4 を介してディジタル映像信号が供給されている。D/A コンバータ 42-1、42-2、42-3、42-4 とデータ線 D1、D2、D3・・・は、バスライン 43、シフトレジスタ 44 及びデータ線の駆動用アンプ 45 を介して接続されている。

D/A コンバータ 42-1 からの出力は、バスライン 43 を介してデータ線 D1、D2、D3・・・分配されている。同様に、D/A コンバータ 42-2、42-3、42-4 からの図示しない出力についても、図示しないバスラインを介してデータ線 D1、D2、D3・・・にそれぞれ分配されている。

図 4 に示すように、D/A コンバータ 42-1 からの出力はバスライン 43 の各ラインに接続されており、前記出力はこの接続されたラインを通じてデータ線 D1、D5、D9・・・に接続されている。同様に、D/A コンバータ 42-2 からの出力は図示しないバ

スラインを介してデータ線 D 2、D 6、D 10・・・に接続されている。また、D/Aコンバータ 42-3 からの出力は図示しないバスラインを介してデータ線 D 3、D 7、D 11・・・に接続され、さらに D/Aコンバータ 42-3 からの出力は図示しないバスラインを介してデータ線 D 4、D 8、D 12・・・に接続されている。

この実施形態において、シフトレジスタ 41-1、41-2、41-3、41-4、D/Aコンバータ 42-1、42-2、42-3、42-4、バスライン 43、シフトレジスタ 44 及び駆動用アンプ 45 は絶縁性基板 14 上に一体的に形成されている。ただし、コントロール IC 103 は駆動回路基板 102 上に形成されている。

上記構成によれば、隣接するデータ線は、互いに異なる D/Aコンバータに接続されている。ここで、奇数番目のデータ線には正極性のアナログ映像信号が書き込まれ、偶数番目のデータ線には負極性のアナログ映像信号が書き込まれるとすると、正極性の映像信号が書き込まれる奇数番目のデータ線には D/Aコンバータ 42-1 と 42-3 からの出力がそれぞれ 1 本おきに書き込まれ、負極性の映像信号が書き込まれる偶数番目のデータ線には D/Aコンバータ 42-2 と 42-4 からの出力がそれぞれ 1 本おきに書き込まれることになる。

したがって、D/Aコンバータ 42-1、42-2、42-3、42-4 において、それぞれ出力ばらつきがあっても、画面上での濃淡のムラはデータ線一本おきとなり、画面全体に分散されて認識されにくくなる。このため、単一階調表示をした場合でも、濃淡のムラが継ぎ目として認識されることがなくなり、良好な表示画像を得ることができる。

とくに、図 4 のようにバスラインを用いた場合には、各 D/Aコンバータを離れた領域に形成することができるため、製造過程でドライバ IC のオフセットが生じやすくなる。このため、この実施形

態のような回路構成は良好な表示画像を得るために有効なものとなる。

なお、上述した実施形態のデータ線駆動回路 3 では、シフトレジスタ 4 1 ～、D/A コンバータ 4 2 ～、バスライン 4 3、シフトレジスタ 4 4 及び駆動用アンプ 4 5 を絶縁性基板 1 4 上に形成した例について示したが、コントロール IC 1 0 3 を含めて絶縁性基板 1 4 上に形成した構成としてもよい。また、データ線駆動回路 3 のうちのバスライン 4 3、シフトレジスタ 4 4 及び駆動用アンプ 4 5 のみを絶縁性基板 1 4 上に形成し、その他を駆動回路基板 1 0 2 上に形成した構成としてもよい。さらにはバスライン 4 3、シフトレジスタ 4 4、駆動用アンプ 4 5 及び D/A コンバータ 4 2 ～を絶縁性基板 1 4 上に形成し、その他を駆動回路基板 1 0 2 上に形成した構成としてもよい。

この実施形態では、4 個の D/A コンバータを使用した場合について説明したが、さらに多数の D/A コンバータを使用した場合でも同様の接続を行うことができる。

請求の範囲

1. 絶縁基板上にマトリクス状に配置された複数のデータ線及び複数の走査線と、前記データ線と走査線との交点近傍に配置された画素スイッチ素子と、前記画素スイッチ素子に接続された画素電極とを含むアレイ基板と、前記アレイ基板に対向する対向基板と、前記アレイ基板と前記対向基板との間に介在された光変調層とを含む表示パネルと、

前記絶縁基板上に配置され、前記各データ線に対応するアナログ映像信号を供給するデータ線駆動回路と、

前記走査線に走査信号を供給する走査線駆動回路と、
を備えた平面表示装置において、

前記データ線駆動回路は、各水平走査期間毎に所定のデータ線に対応するデジタル映像信号をアナログ映像信号に順次変換する少なくとも第1及び第2のデジタル・アナログ変換回路を含み、

前記第1のデジタル・アナログ変換回路に電気的に接続される前記データ線と、前記第2のデジタル・アナログ変換回路に電気的に接続される前記データ線とは、所定数毎に交互に配置されていることを特徴とする平面表示装置。

2. 前記データ線駆動回路は、前記第1および第2のデジタル・アナログ変換回路のそれぞれに対応し、互いに並列動作するシフトレジスタを含むことを特徴とする請求項1に記載の平面表示装置。

3. 前記画素スイッチ素子、前記第1および第2のデジタル・アナログ変換回路、及び前記シフトレジスタのそれぞれは活性層がポリシリコンで構成された薄膜トランジスタを含むことを特徴とする請求項2に記載の平面表示装置。

4. 絶縁基板上にマトリクス状に配置された複数のデータ線及び複数の走査線と、前記データ線と走査線との交点近傍に配置された画素スイッチ素子と、前記画素スイッチ素子に接続された画素電極とを含むアレイ基板と、前記アレイ基板に対向する対向基板と、前記アレイ基板と前記対向基板との間に介在された光変調層とを含む表示パネルと、

前記絶縁基板上に配置され前記データ線に対応するアナログ映像信号を供給するデータ線駆動回路と、

前記走査線に走査信号を供給する走査線駆動回路と、
を備えた平面表示装置において、

前記データ線駆動回路は、

前記絶縁基板上に配置される複数のビデオバス配線と、前記ビデオバス配線と対応する前記データ線とを電氣的に接続するスイッチ回路と、

前記ビデオバス配線に電氣的に接続されデジタル映像信号をアナログ映像信号に順次変換する少なくとも第1、第2、第3、及び第4のデジタル・アナログ変換回路ICとを含み、

前記第1のデジタル・アナログ変換回路に電氣的に接続される前記データ線、前記第2のデジタル・アナログ変換回路に電氣的に接続される前記データ線、前記第3のデジタル・アナログ変換回路に電氣的に接続される前記データ線とは、所定数毎に交互に配置されていることを特徴とする平面表示装置。

5. 絶縁基板上にマトリクス状に配置された複数のデータ線及び複数の走査線と、前記データ線と走査線との交点近傍に配置された画素スイッチ素子と、前記画素スイッチ素子に接続された画素電極とを含むアレイ基板と、前記アレイ基板に対向する対向基板と、前記アレイ基板と前記対向基板との間に介在された光変調層とを含む表示パネルと、

前記絶縁基板上に配置され前記データ線に対応するアナログ映像信号を供給するデータ線駆動回路と、

前記走査線に走査信号を供給する走査線駆動回路と、
を備えた平面表示装置において、

前記データ線駆動回路は、
前記絶縁基板上に配置される複数のビデオバス配線と、前記ビデオバス配線と対応する前記データ線とを電氣的に接続するスイッチ回路と、

前記ビデオバス配線に電氣的に接続されディジタル映像信号をアナログ映像信号に順次変換する少なくとも第1、第2、第3、及び第4のディジタル・アナログ変換回路ICとを含み、

前記第1のディジタル・アナログ変換回路に電氣的に接続される前記データ線、前記第2のディジタル・アナログ変換回路に電氣的に接続される前記データ線、前記第3のディジタル・アナログ変換回路に電氣的に接続される前記データ線とは、及び前記第4のディジタル・アナログ変換回路に電氣的に接続される前記データ線とは、所定数毎に交互に配置されていることを特徴とする平面表示装置。

6. 前記第1及び第2のディジタル・アナログ変換回路ICは基準電圧に対して正極性のアナログ映像信号を、前記第3及び第4のディジタル・アナログ変換回路ICは基準電圧に対して負極性のアナログ映像信号をそれぞれ出力することを特徴とする請求項5に記載の平面表示装置。

7. 前記スイッチ回路は、前記ビデオバス配線と対応する前記データ線との関係を所定期間毎に切り替えることを特徴とする請求項6に記載の平面表示装置。

8. 前記画素スイッチ素子、及び前記スイッチ回路は、活性層がポリシリコンで構成された薄膜トランジスタを含むことを特徴とする請求項5に記載の平面表示装置。

9. 前記第1乃至第4のデジタル・アナログ変換回路ICは、外部駆動回路基板上に形成されていることを特徴とする請求項5に記載の平面表示装置。

図1

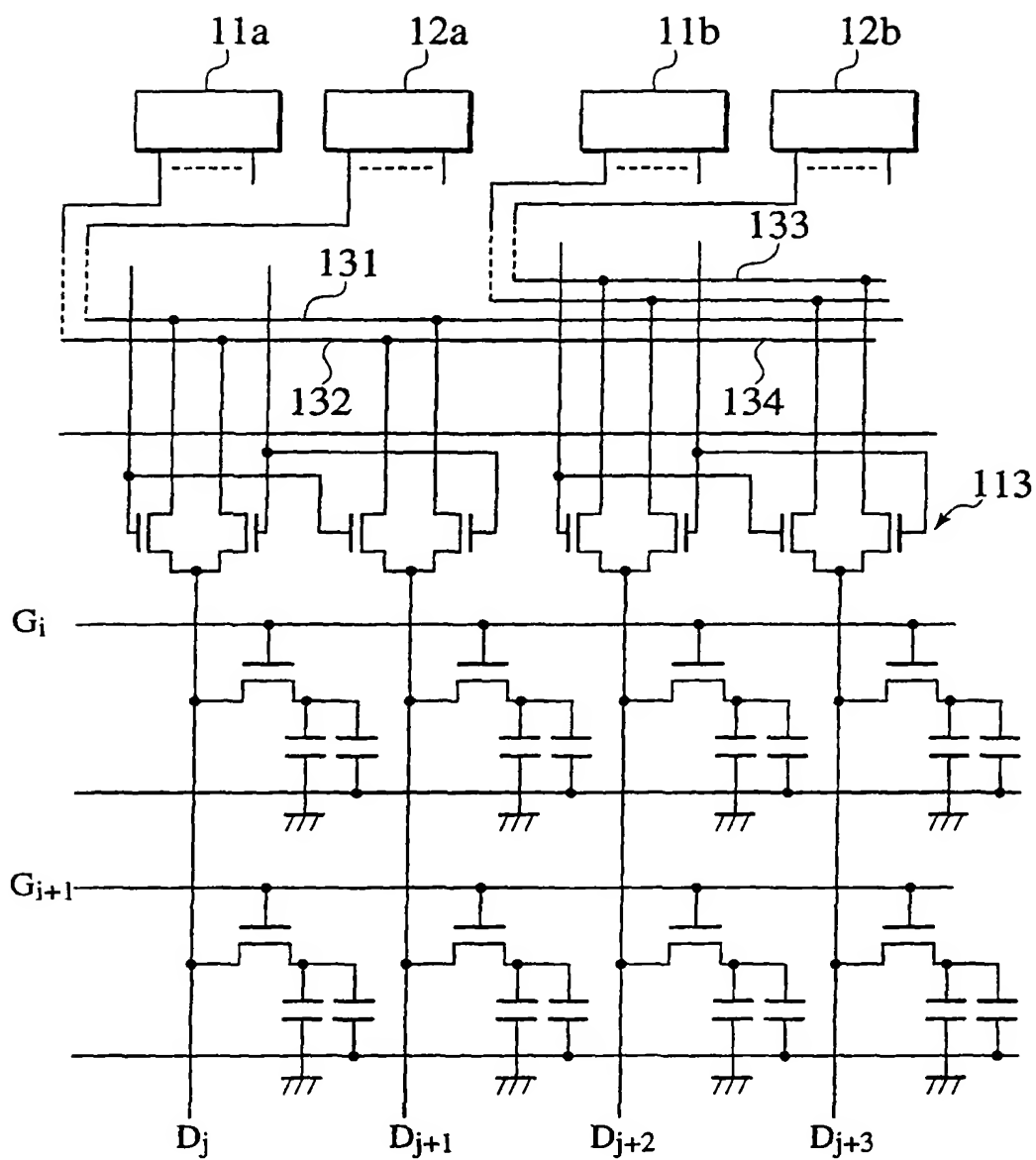


図2

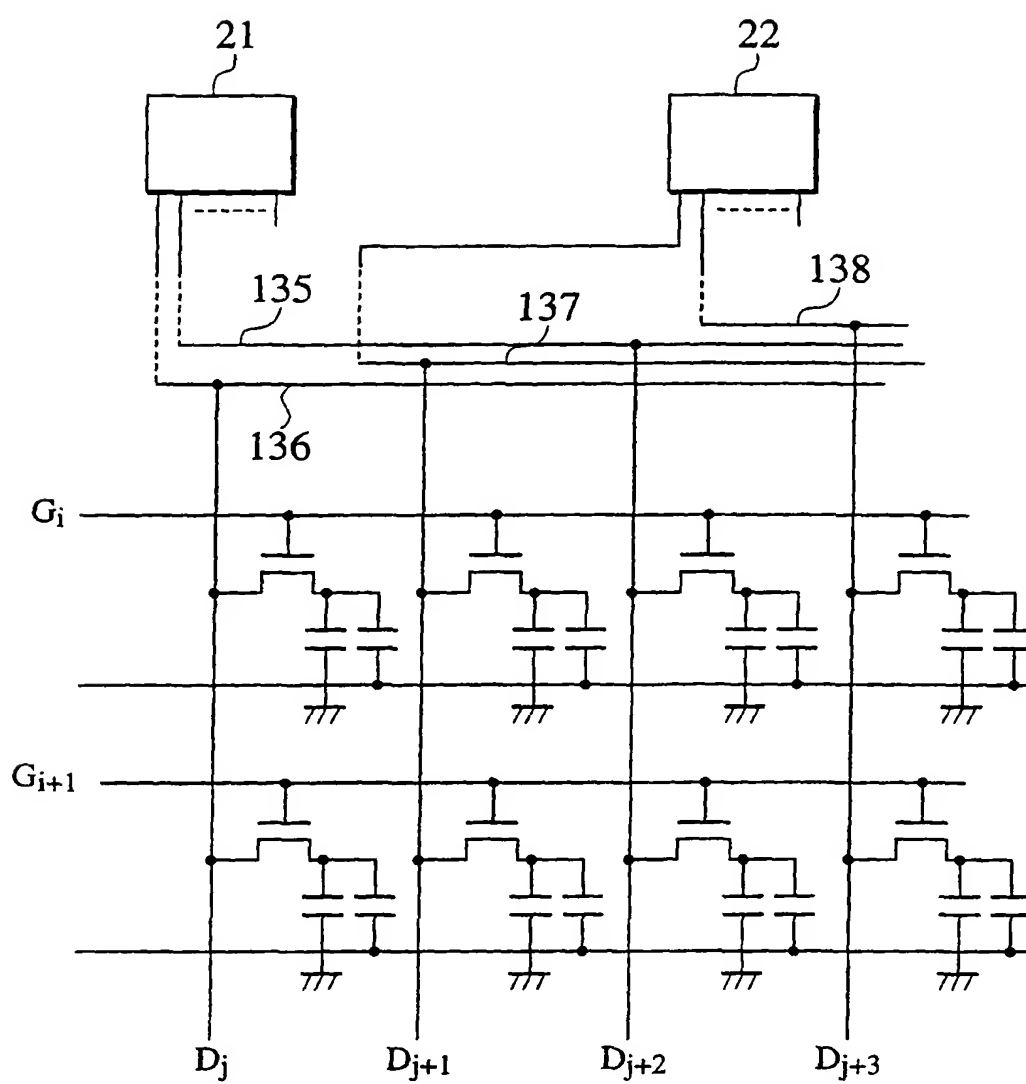


図3

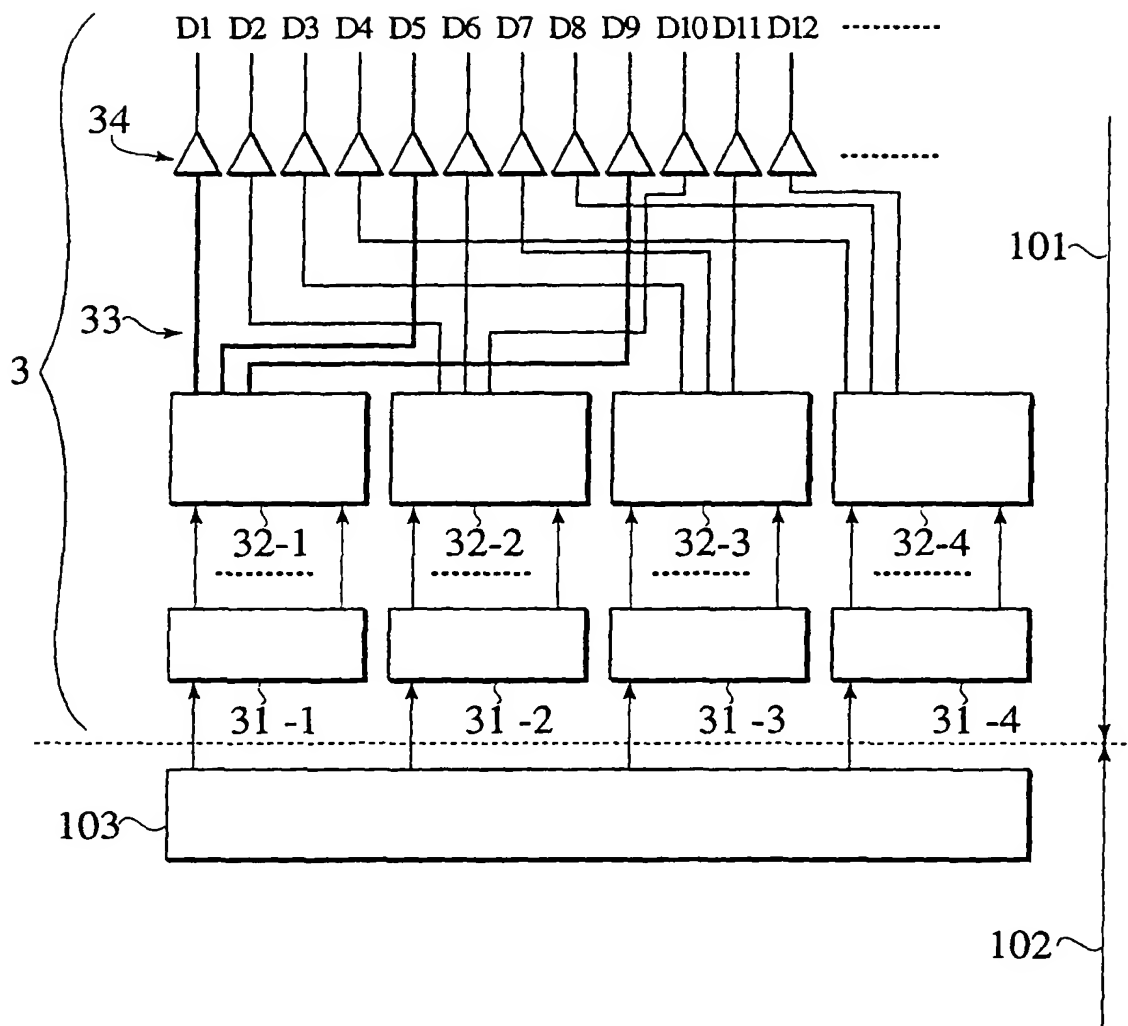


図4

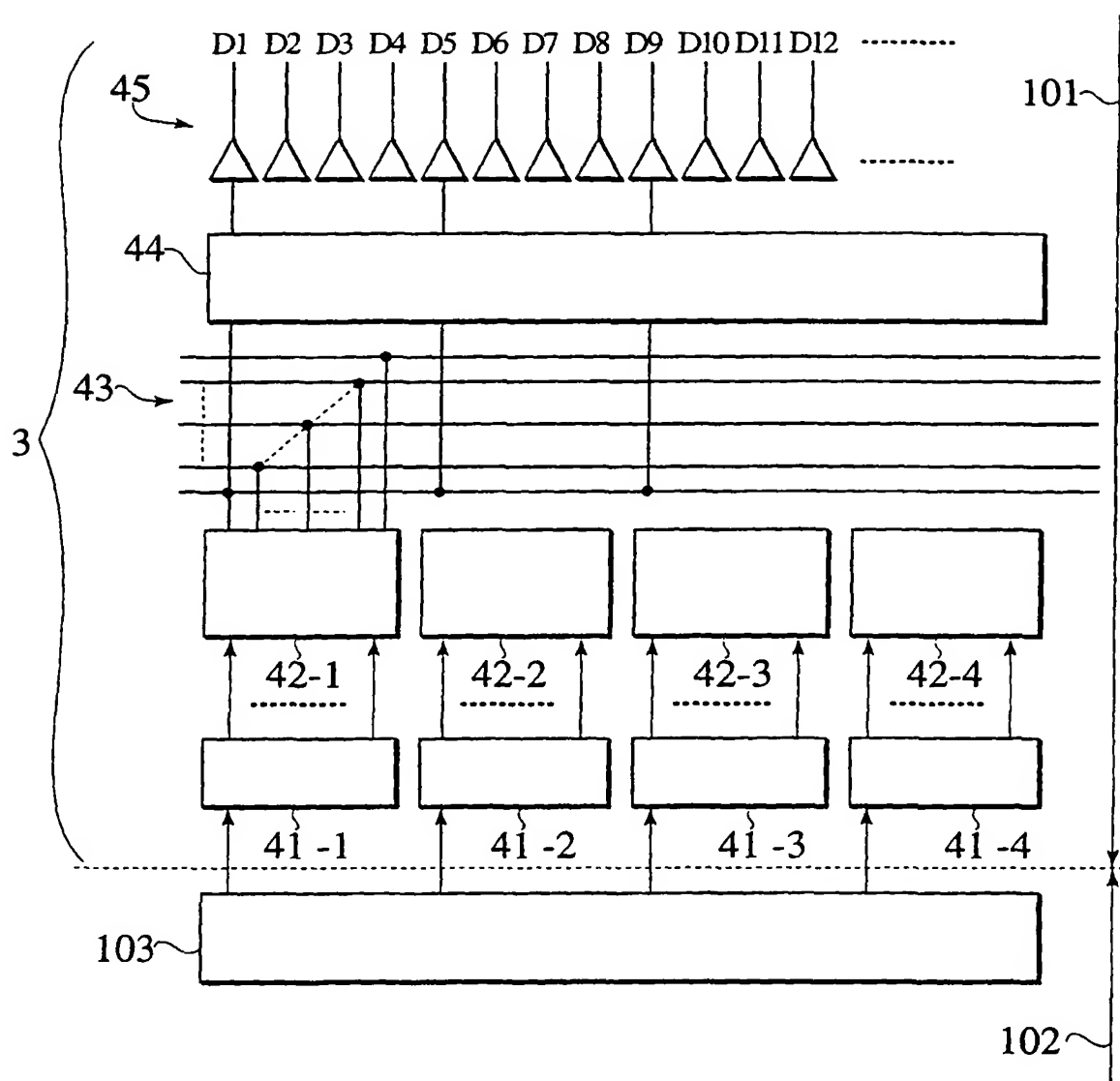


図5

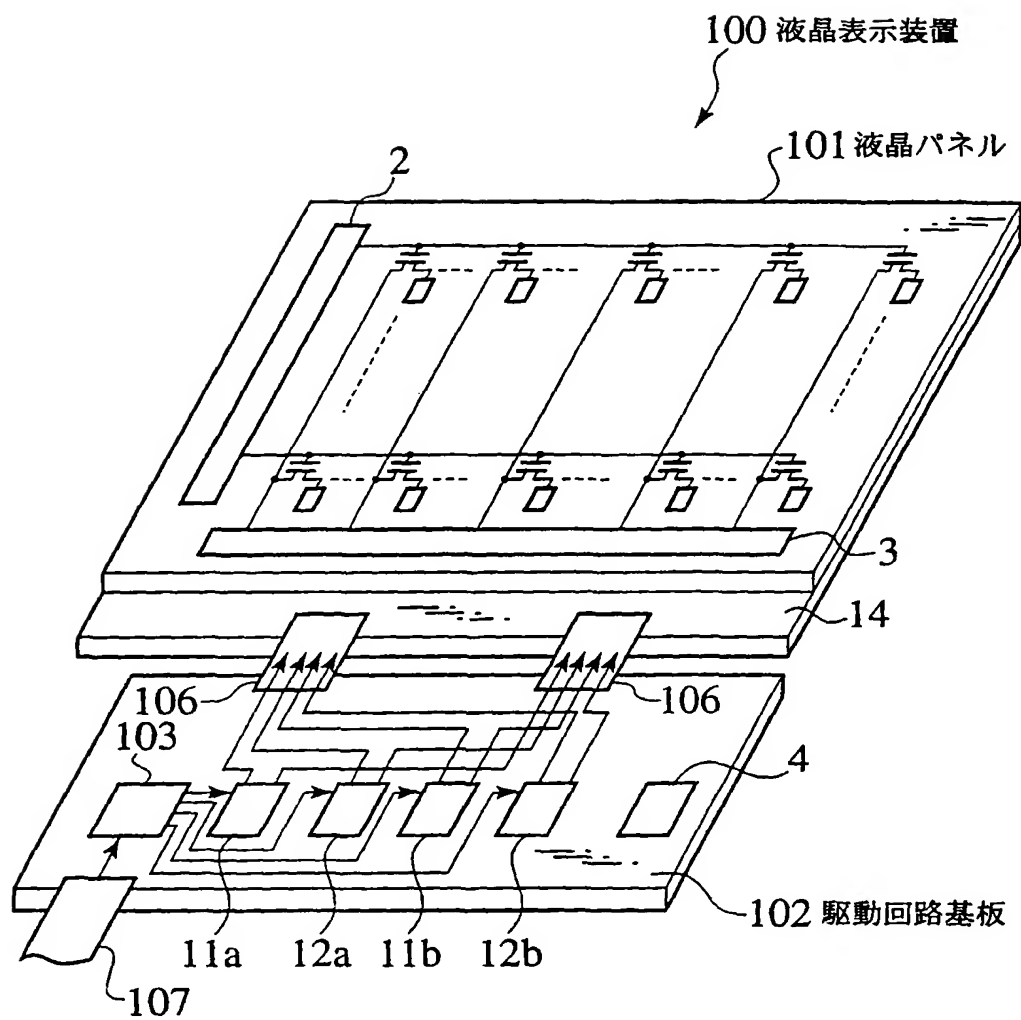


図6

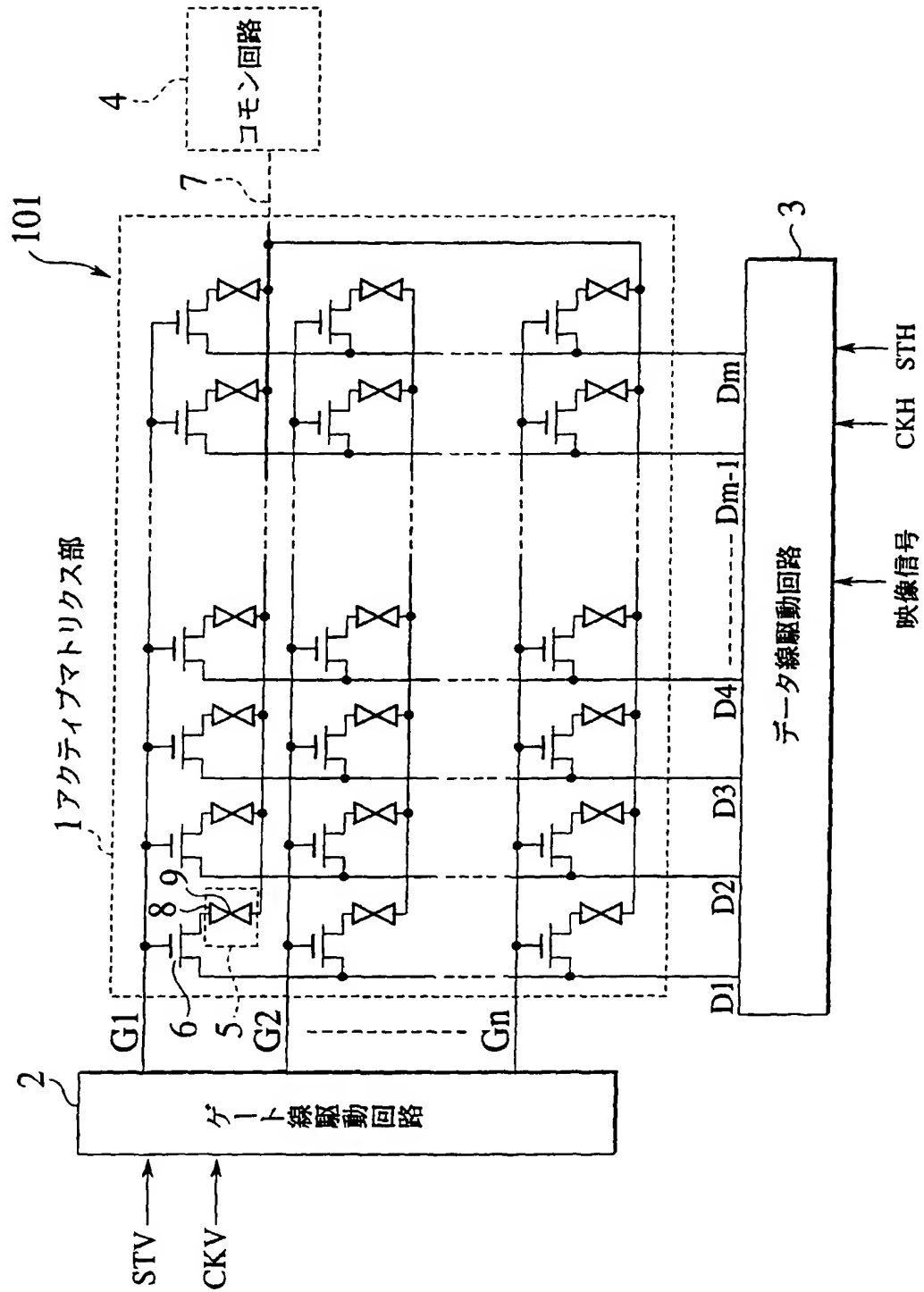


図7

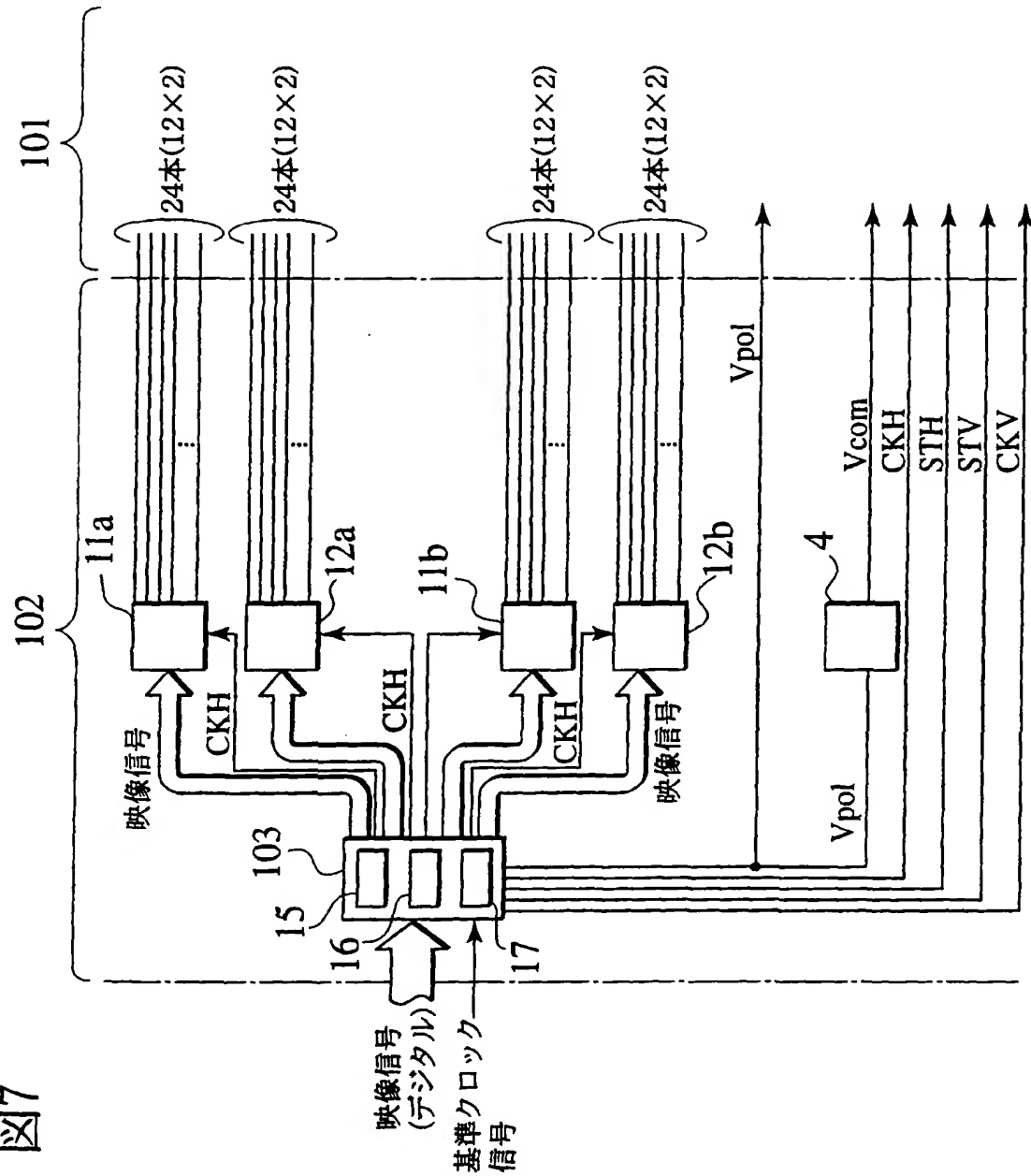


図8

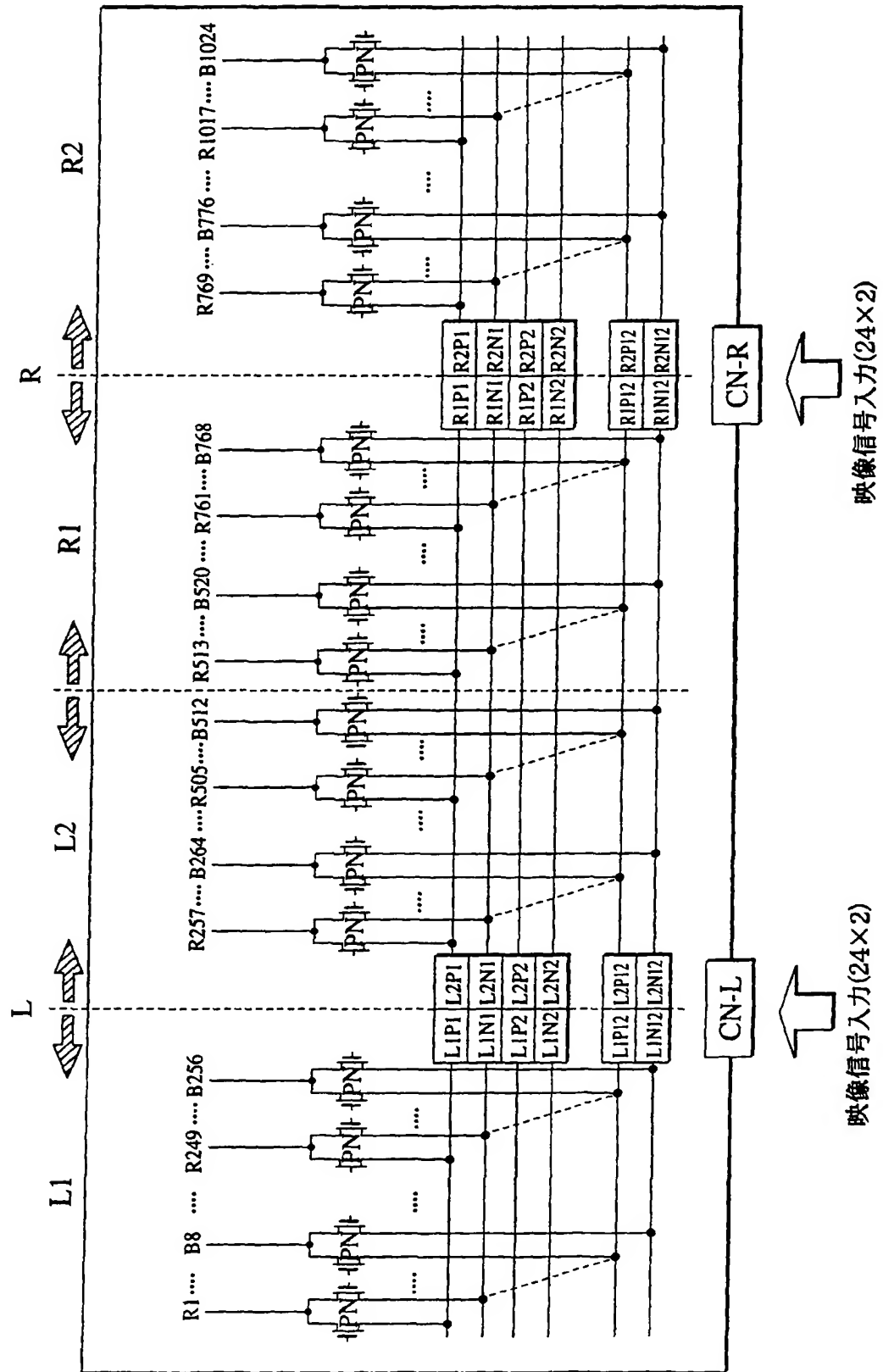
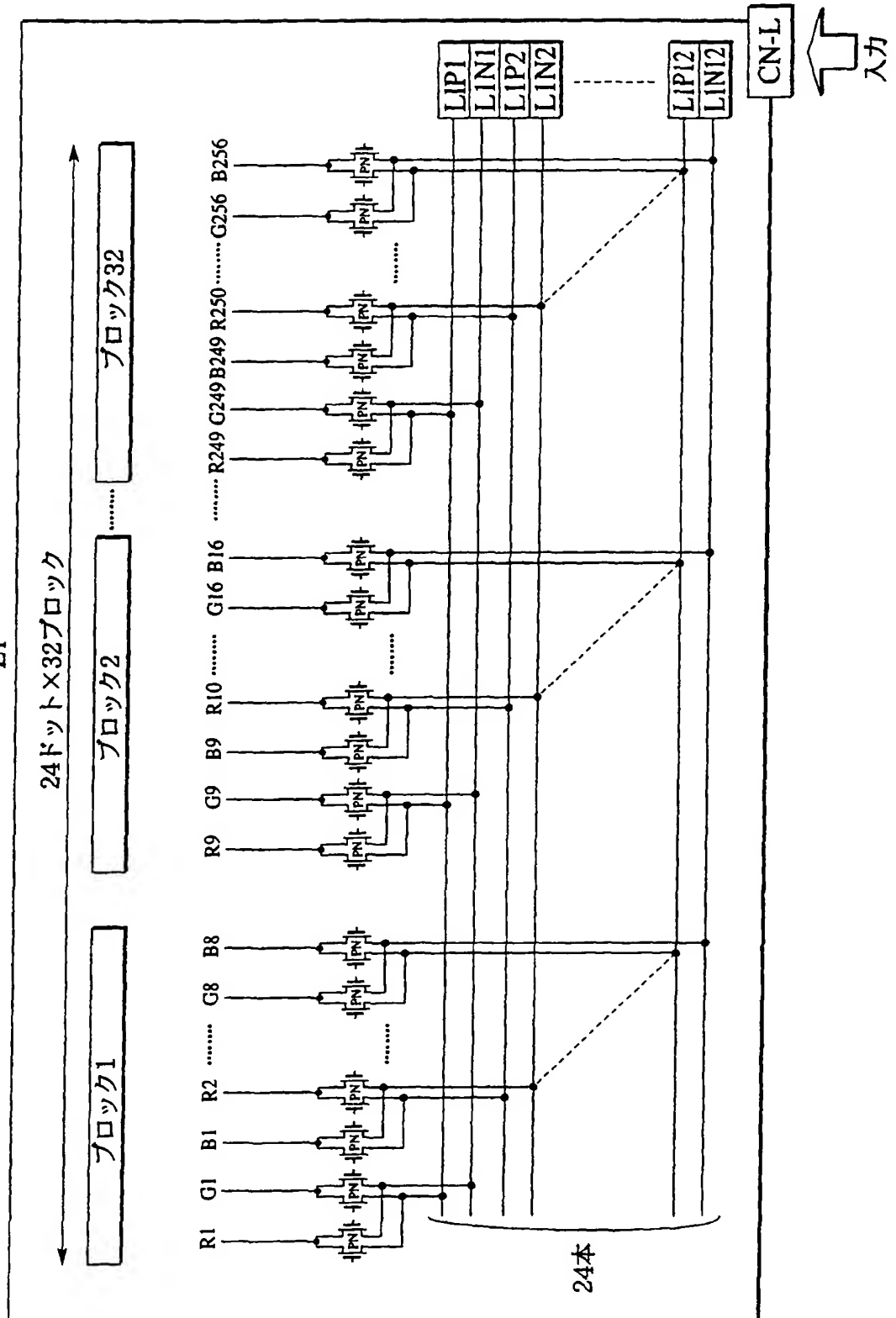


図9

LI



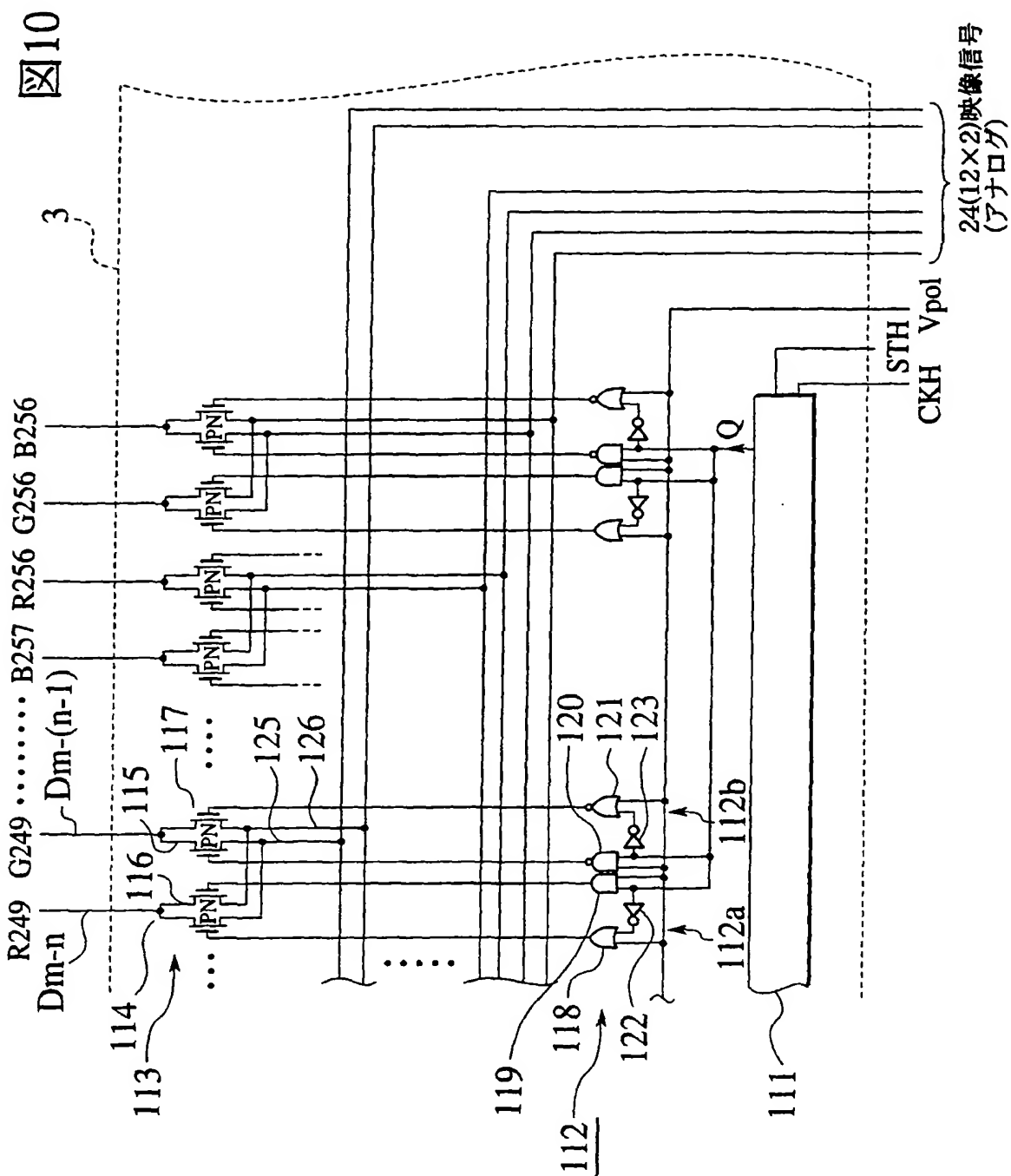


图 11

POL10	POL10
L1P1	L1P1
L1N1	L1P1
L1P2	L1N2
L1N2	L1P2
L1P3	L1N3
L1N3	L1P3
L1P4	L1N4
L1N4	L1P4
L1P5	L1N5
L1N5	L1P5
L1P6	L1N6
L1N6	L1P6
L1P7	L1N7
L1N7	L1P7
L1P8	L1N8
L1N8	L1P8
L1P9	L1N9
L1N9	L1P9
L1P10	L1N10
L1N10	L1P10
L1P11	L1N11
L1N11	L1P11
L1P12	L1N12
L1N12	L1P12

L1
(24本)

7071	2	3	4	17	21	32
R 229	R 241	R 233	R 225	R 17	R 1	R 1
G 249	G 241	G 233	G 225	G 17	G 9	G 1
B 249	B 241	B 233	B 225	B 17	B 9	B 1
R 250	R 242	R 234	R 226	R 18	R 10	R 2
G 250	G 242	G 234	G 226	G 18	G 10	G 2
B 250	B 242	B 234	B 226	B 18	B 10	B 2
R 251	R 243	R 235	R 227	R 19	R 11	R 3
G 251	G 243	G 235	G 227	G 19	G 11	G 3
B 251	B 243	B 235	B 227	B 19	B 11	B 3
R 252	R 244	R 236	R 228	R 20	R 12	R 4
G 252	G 244	G 236	G 228	G 20	G 12	G 4
B 252	B 244	B 236	B 228	B 20	B 12	B 4
R 253	R 245	R 237	R 229	R 21	R 13	R 5
G 253	G 245	G 237	G 229	G 21	G 13	G 5
B 253	B 245	B 237	B 229	B 21	B 13	B 5
R 254	R 246	R 238	R 230	R 22	R 14	R 6
G 254	G 246	G 238	G 230	G 22	G 14	G 6
B 254	B 246	B 238	B 230	B 22	B 14	B 6
R 255	R 247	R 239	R 231	R 23	R 15	R 7
G 255	G 247	G 239	G 231	G 23	G 15	G 7
B 255	B 247	B 239	B 231	B 23	B 15	B 7
R 256	R 248	R 240	R 232	R 24	R 16	R 8
G 256	G 248	G 240	G 232	G 24	G 16	G 8
B 256	B 248	B 240	B 232	B 24	B 16	B 8

[illegible]

L2
(24本)

[illegible][illegible]

R1
(24本)

[illegible][illegible]

R2
(24本)

[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05215

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G09G3/36, G02F1/133
G09F9/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G09G3/36, G02F1/133
G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Toroku Jitsuyo Shinan Koho 1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 11-119736, A (Sony Corporation), 30 April, 1999 (30.04.99), Full text; Figs. 1 to 28	1
Y	Full text; Figs. 1 to 28	3
A	Full text; Figs. 1 to 28 (Family: none)	2, 4-9
X	JP, 10-274762, A (Sanyo Electric Co., Ltd.), 13 October, 1998 (13.10.98), Full text; Figs. 1 to 26	1
Y	Full text; Figs. 1 to 26	3
A	Full text; Figs. 1 to 26 (Family: none)	2, 4-9
Y	JP, 1-130131, A (Seiko Epson Corporation), 23 May, 1989 (23.05.89), page 1, lower right column, lines 4-7; Fig. 1	3
A	page 1, lower right column, lines 4-7; Fig. 1 (Family: none)	8
A	JP, 1-174186, A (Sharp Corporation), 10 July, 1989 (10.07.89), page 2, upper left column, line 11 to page 2, lower left	1-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
23 October, 2000 (23.10.00)Date of mailing of the international search report
07 November, 2000 (07.11.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05215

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	column, line 2; Figs. 8 to 10 (Family: none) JP, 3-51887, A (Toshiba Corporation), 06 March, 1991 (06.03.91), page 4, lower right column, line 6 to page 6, upper right column, line 2; Figs. 5 to 8 (Family: none)	1-9

国際調査報告

国際出願番号 PCT/JP00/05215

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl¹ G09G3/36, G02F1/133
G09F9/30

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl¹ G09G3/36, G02F1/133
G09F9/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2000年
 日本国実用新案登録公報 1996-2000年
 日本国登録実用新案公報 1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 11-119736, A (ソニー株式会社)	1
Y	30. 4月. 1999 (30. 04. 99)	3
A	全文, 第1-28図 全文, 第1-28図 全文, 第1-28図 (ファミリーなし)	2, 4-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

23. 10. 00

国際調査報告の発送日

07.11.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏

2G

9308

電話番号 03-3581-1101 内線 3225

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP, 10-274762, A (三洋電機株式会社) 13. 10月. 1998 (13. 10. 98) 全文, 第1-26図 全文, 第1-26図 全文, 第1-26図 (ファミリーなし)	1 3 2, 4-9
Y A	JP, 1-130131, A (セイコーエプソン株式会社) 23. 5月. 1989 (23. 05. 89) 第1頁右下欄第4行~同頁同欄第7行, 第1図 第1頁右下欄第4行~同頁同欄第7行, 第1図 (ファミリーなし)	3 8
A	JP, 1-174186, A (シャープ株式会社) 10. 7月. 1989 (10. 07. 89) 第2頁左上欄第11行~同頁左下欄第2行, 第8-10図 (ファミリーなし)	1-9
A	JP, 3-51887, A (株式会社東芝) 6. 3月. 1991 (06. 03. 91) 第4頁右下欄第6行~第6頁右上欄第2行, 第5-8図 (ファミリーなし)	1-9